

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) Japanese Patent Office (JP)

(11) Application publication number: S56[1981]-
62066

(12) Official Gazette for Unexamined
Patents (A)

(43) Application publication date : May 27, 1981
(51) Int. Cl.³ Identification Nos. Patent Office File Nos. Number of Inventions: 1
H 02 M 3/06 6957-5H Request for Examination:
H 03 K 19/094 6341-5J Not filed
(Total 6 Japanese pages)

(54) Boosting Circuit

(71) Applicant:

NEC Corporation
33-1, Shiba 5-chome
Minato-ku, Tokyo
Susumu Uchihara, Patent
Attorney

(21) Application number: S54[1979]-138,564

(74) Agent:

(22) Filing date: October 25, 1979
(72) Inventor:
Hatsuhide Igarashi
NEC Corporation
33-1, Shiba 5-chome
Minato-ku, Tokyo

Specification

1. Title of the Invention

Boosting Circuit

2. Claims

A boosting circuit is comprised of first and second complementary transistor circuits that serially connect a transistor having one conductivity to a transistor having another conductivity,

a transistor circuit that directly connects at least four transistors having the first conductivity, wherein

a first capacitive element is inserted between an output point of the first complementary transistor circuit and a connection point of a first stage transistor and a second stage transistor in the transistor circuit;

a second capacitive element is inserted between an output point of the second complementary transistor circuit and a connection point of the transistors;

an end of each of the first stage and fourth stage transistors and the first and second complementary transistor circuits is connected to a first power supply terminal;

another end of each of the first and second complementary transistor circuits is connected to a second power supply terminal; and

a signal having a different phase than the signal supplied to the input ends of the second complementary transistor circuit and the first and third stage transistors is supplied to the input ends of the first complementary transistor circuit and the second and

fourth stage transistors.

3. Brief Description of the Invention

The present invention relates to a boosting circuit and, more particularly, to a boosting circuit using a semiconductor device that includes a complementary insulated gate field effect transistor.

The circuit shown in Figure 1 is a conventional boosting circuit using a complementary field effect transistor (hereinafter referred to as C-MOS).

In the figure, an input clock signal is ϕ_1 ; $\bar{\phi}_1$ is an inverted signal of this input signal; and ϕ_2 is a signal that oscillates at the same phase as ϕ_1 between the voltage at point (C) (output terminal) and the ground voltage. Furthermore, a capacitor C_1 is connected between output point (A) of a C-MOS inverter Q_1, Q_2 and the center point (B) of a switching circuit that is comprised of n-channel FETs Q_3, Q_4 . In other words, this circuit comprises a boosting circuit so that when an input signal ϕ_1 ($-V_D, 0$) is applied and the voltage at point (A) changes from 0 V to $-V_D$, the voltage at point (B) is boosted to $-2V_D$ by using capacitor C_1 from capacitor C_1 and simultaneously charges capacitor C_2 and the charge stored in C_2 is supplied to the load. Figure 2 shows the voltage waveforms at connection points (A), (B), and (C). When the load current is increased in the circuit in Figure 1, distortion is produced in the output voltage waveform as shown in Figure 2(C) caused by a worsening ripple rate. Therefore, in order to prevent this kind of output voltage fluctuation, capacitors C_1, C_2 must be have large capacitances, or the clock frequency must be increased. However, if the capacitances of capacitors C_1, C_2 are increased, the switching time of IGFET Q_4 will lengthen. Therefore, an IGFET having a

high mutual conductance gm must be fabricated, but will not be suited to integration because a large area is required. In addition, an increase in the clock frequency means that the power consumption of the boosting circuit will increase, which is also a severe economic disadvantage. Furthermore, when n-channel IGFETs Q_3, Q_4 are formed in a semiconductor device, the structure shown in Figure 3 results. In particular, the substrate (P well) of n-channel IGFET Q_4 is connected to have the same voltage as point (C) so that the P-N junction will not become forward biased. When the voltage at point (C) is observed, if the ripple becomes large and the voltage at point (C) is lower than the voltage boosted at point (B), the forward bias current I_{BC} starts to flow in the P-N junction. Because this current starts to flow as the base current of a parasitic bipolar transistor formed between the drain, the P well, and the N-type substrate of the IGFET Q_4 , a vertical parasitic NPN transistor will operate, and current I_{CB} that flows between the collector and the emitter towards the N-type substrate from point (B) is generated and the voltage at point (B) is further decreased. Consequently, the voltage at point (C) becomes unstable, and an efficient boosting circuit is not obtained.

An object of the present invention is to provide a highly efficient boosting circuit using a small area and low-capacitance capacitors and eliminate the above-mentioned drawbacks.

Figure 4 shows the basic structure of the present invention. Figure 5 shows the voltage waveform diagram at each node.

For clocks $\phi_1, \bar{\phi}_1, \phi_2, \bar{\phi}_1$ and $\bar{\phi}_2$ are clocks having the same voltages as ϕ_1 and $\bar{\phi}_1$ as illustrated in Figure 1, respectively, and $\bar{\phi}_2$ oscillates at the same voltages as ϕ_2 and is an inverse phase clock.

Clearly from Figure 4, the basic structure of the present invention applies clock ϕ_1 to the gate of the C-MOS circuit that serially connects n-channel and p-channel IGFETs Q_{11} , Q_{12} . One end of Q_{11} , Q_{12} is connected to $-V_D$ and 0 V, respectively. Furthermore, n-channel IGFETs Q_{13} , Q_{14} that have clocks $\bar{\phi}_1$, ϕ_2 applied to the gates thereof are serially connected. The source of IGFET Q_{14} is point (C), and $-V_D$ is supplied to the source of IGFET Q_{13} . The center point (A) of the C-MOS circuit and the center point of n-channel IGFETs Q_{13} , Q_{14} are connected to each other through capacitor C_{11} . This circuit has a C-MOS circuit that symmetrically and serially connects an n-channel IGFET Q_{21} having one end connected to $-V_D$ to a p-channel IGFET Q_{22} having one end connected to 0 V and has clock $\bar{\phi}_1'$ applied to the gates thereof; serially connects at center point (D) an n-channel IGFET Q_{23} having $-V_D$ connected to one end and clock ϕ_1' supplied to the gate thereof to an n-channel IGFET Q_{24} having one end connected to point (C) and clock $\bar{\phi}_2$ supplied to the gate thereof; and connects point (D) to center point (E) of the C-MOS circuit by capacitor C_{13} . The voltage boosted by this circuit is extracted between point (C) and ground (0 V) connected through the capacitor C_{12} .

According to this boosting circuit having a similar structure, the voltage waveform at each connection point (A) to (D) is shown in Figure 5. Clearly from this figure, the operations in the left and right circuits with point (C) as the boundary are identical to the conventional operation. For the voltage waveform at point (C), the left and right boosting circuits operate as half-wave boosting circuits, and the boosted waveforms have an inverse phase relationship. Since IGFETs Q_{14} , Q_{24} alternately conduct only when node (B) or (D) becomes $-2V_D$ and supplies the voltage to output point (C), the result is the voltage at point (C) is always $-2V_D$. Conventionally, a part of

the charge that is conducted by the n-channel FET Q_4 and is stored in capacitor C_1 is transferred to capacitor C_2 . For a half period after the n-channel FET Q_4 becomes non-conducting, the voltage is supplied to the load by discharging the charge remaining in capacitor C_2 . In contrast, in the present invention, capacitors C_{11} and C_{13} alternately directly discharge every half period. The voltage at point (C) is always held at $-2V_D$. Capacitor C_{12} operates so that the voltage fluctuations generated when the conducting states of FETs Q_{14} and Q_{24} switch become extremely small.

Thus, in this embodiment, twice the output current can be obtained compared to a conventional boosting circuit. According to this embodiment, the efficiency of the boosting circuit is significantly improved because the parasitic-bipolar transistor operation is eliminated due to the lower ripple rate.

Figure 6 is a circuit diagram showing another embodiment of the present invention. IGFETs Q_{11} , Q_{12} , Q_{13} , Q_{14} , Q_{21} , Q_{22} , Q_{23} , and Q_{24} correspond to Q_{111} , Q_{112} , Q_{113} , Q_{114} , Q_{121} , Q_{122} , Q_{123} , and Q_{124} , respectively. Clock $\bar{\phi}_1$ is created from clock ϕ_1 by a C-MOS inverter that is comprised of FETs Q_{105} and Q_{106} and is connected to the gate of FET Q_{113} . The source of FET Q_{105} is connected to point (B) and is configured to obtain a clock that oscillates in the voltage difference between this output voltage and the substrate voltage. Furthermore, the source of FET Q_{106} is connected to the gate of FET Q_{124} and creates and outputs clock $\bar{\phi}_2$. Clock $\bar{\phi}_1$ is input to the C-MOS inverter comprised of IGFETs Q_{107} , Q_{108} and the output therefrom is input to the gate of FET Q_{114} as clock ϕ_2 . The source of n-channel IGFET Q_{107} is connected to the output end (C). The obtained clock ϕ_2 can be used as clock ϕ_1' by connecting to the gate of IGFET Q_{123} since the phase is the same as clock ϕ_1' . Furthermore, a p-channel FET Q_{109} having its gate and

drain connected to $-V_D$ and source to output end (C) is added. In other words, the output end (C) when the direct-current boosting circuit starts operating connects the collector of a parasitic NPN transistor comprised of FETs Q_{114} and Q_{124} to ground. The time until the output end (C) reaches the stationary state lengthens since the capacitance at the output end (C) is charged by the base current. However, as described above, the voltage of $-V_D$ at p-channel FET Q_{109} minus ($-V_{TP}$), where V_{TP} is the threshold of the p-channel FET, is given beforehand at output end (C). This can shorten the time until the stationary state is reached. According to Figure 6, the required clock can be obtained by using an inverter, the number of transistors can be minimized, and the circuit configuration can be simplified. The practical value of the circuit shown in the same figure is excellent.

Furthermore, in Figure 6, the logic threshold of the C-MOS inverter comprised of FETs Q_{105} and Q_{106} is in the neighborhood of one half of the voltage at output end (C), which is $-V_D$. Since clock ϕ_1 oscillates between the substrate voltage 0 V_S and $-V_D$, the inverter has difficulty operating. Consequently, the logic threshold can be moved to the substrate voltage and used by having an extremely large mutual conductance gm of FET Q_{106} with respect to FET Q_{105} . Sometimes, however, the threshold of the p-channel FET increases and the threshold of the n-channel FET decreases during fabrication. Even in this case, this will not be a problem if a sufficiently large gm ratio is selected. But this gm ratio must be about 1:100, and the area occupied by the inverter becomes large which is a disadvantage in integration.

Figure 7 is a circuit diagram showing another embodiment that should eliminate this problem. A level-shifting circuit comprised of FETs Q_{130} to Q_{133} is used instead of the C-MOS inverter comprised of FETs Q_{105} and Q_{106} . This level-shifting circuit adds

the source of FET Q₁₃₀ to point (B), the source of FET Q₁₃₂ to point (D), input clock ϕ_1 to the gate of FET Q₁₃₁, and clock $\bar{\phi}_1$ that is extracted from point (A) to the gate of FET Q₁₃₃. Furthermore, the configuration has the minimum number of transistors by supplying to the gate of the n-channel FET Q₁₃₀ of C-MOS comprised of FETs Q₁₃₂, Q₁₃₃.

By using this level-shifting circuit, a gate voltage up to $-2V_D$ can be obtained for the C-MOS FET Q₁₃₀. The effects described above caused by the fluctuations in the thresholds occurring fabrication can be reduced. Therefore, compared to when an inverter having a relatively large gm ratio is used, the characteristic small area is extremely useful in practice.

4. Brief Description of the Drawings

Figure 1 is a circuit diagram of a conventional boosting circuit. Figure 2 is a voltage waveform diagram at each connection point. Figure 3 is a schematic showing a portion of the circuit shown in Figure 1. Figure 4 is a basic circuit diagram of the boosting circuit illustrating one embodiment of the present invention. Figure 5 is a voltage waveform diagram of each connection point of the circuit shown in Figure 4. Figures 6 and 7 are circuit diagrams illustrating other embodiments of the present invention.

C₁ to C₁₃ capacitive elements

$\phi_1, \phi_2, \bar{\phi}_1, \bar{\phi}_2$ control signals

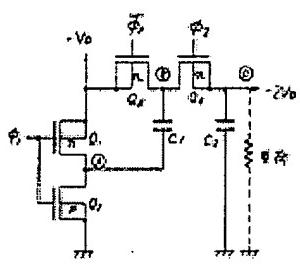
Q₁ to Q₁₃₃ IGFETs

A to E circuit nodes

- $-V_D$ negative power supply voltage
 I_{CE} current between the collector and emitter of a parasitic bipolar transistor
 I_{CB} current between the collector and base of parasitic bipolar transistor

Agent: Susumu Uchihara, Patent Attorney

Figure 1



right: load

Figure 2

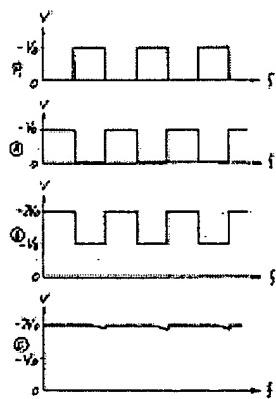


Figure 3

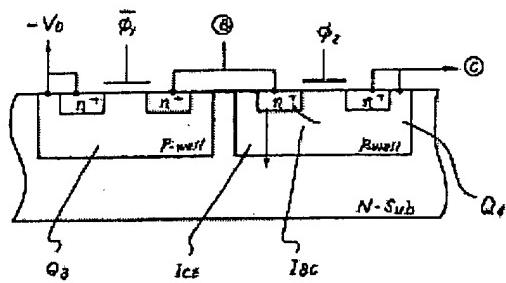
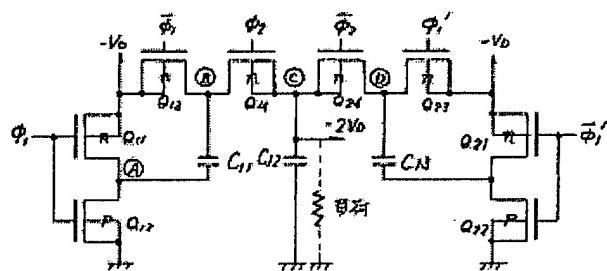


Figure 4



In figure: load

Figure 5

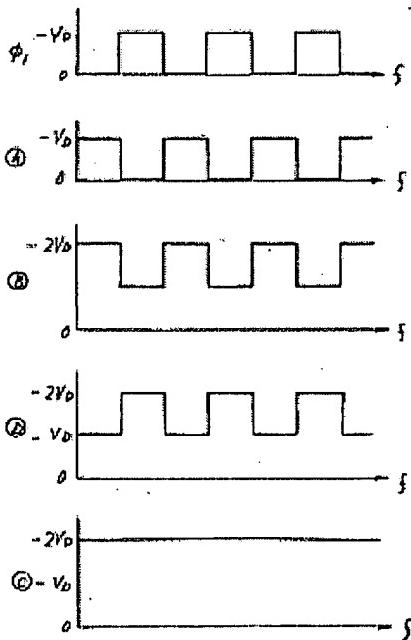


Figure 6

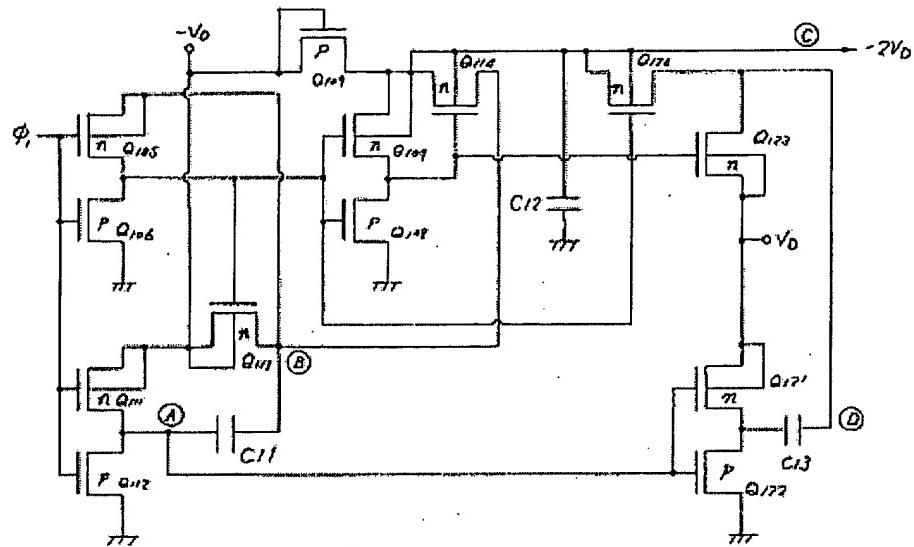
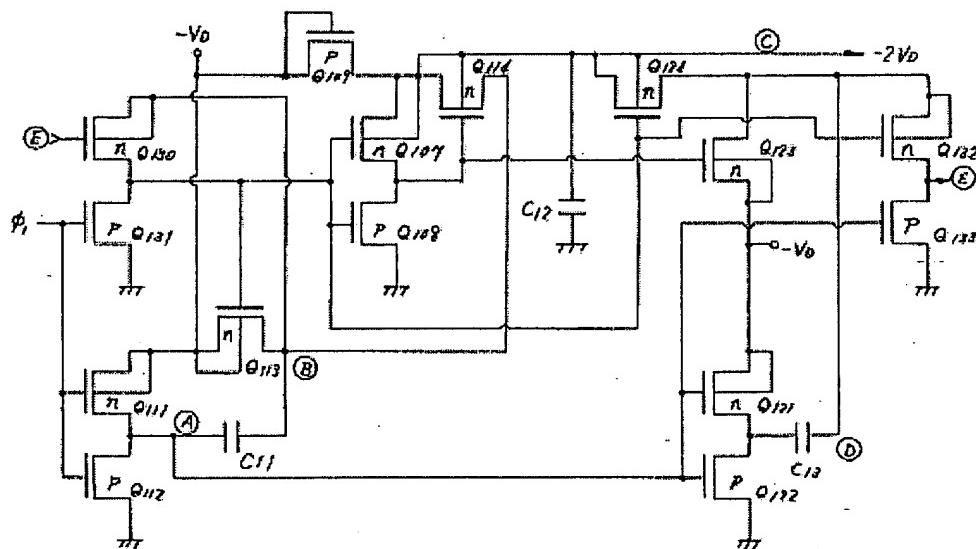


Figure 7



⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-62066

⑮ Int. Cl.³
H 02 M 3/06
// H 03 K 19/094

識別記号

厅内整理番号
6957-5H
6341-5J

⑭ 公開 昭和56年(1981)5月27日

発明の数 1
審査請求 未請求

(全 6 頁)

⑬ 昇圧回路

⑭ 特 願 昭54-138564
⑮ 出 願 昭54(1979)10月25日
⑯ 発明者 五十嵐初日出

東京都港区芝五丁目33番1号 日本電気株式会社内

⑰ 出願人 日本電気株式会社
東京都港区芝5丁目33番1号
⑱ 代理人 弁理士 内原晋

明細書

1 発明の名称
昇圧回路

2 特許請求の範囲

一導電型トランジスタと他の導電型トランジスタとを直列に接続してなる第1及び第2の相補型トランジスタ回路と、前記一導電型トランジスタを少なくとも4個直接に接続してなるトランジスタ回路と、前記第1の相補型トランジスタ回路の出力点と前記トランジスタ回路のうち初段及び2段目のトランジスタの接続点との間に第1の容量素子を挿入し、前記第2の相補型トランジスタ回路の出力点と前記トランジスタの接続点との間に第2の容量素子を挿入し、前記初段及び2段目のトランジスタと前記第1及び第2の相補型トランジスタ回路の夫々の一端は第1の電源端子に接続され、該第1及び第2の相補型トランジスタ回路の夫々の他端は第2の電源端子に接続され、前記

第1の相補型トランジスタ回路と前記2段及び4段目のトランジスタの入力端には前記第2の相補型トランジスタ回路及び前記初段目、3段目のトランジスタの入力端に供給される信号とは位相の異なる信号が供給されるようにしたことを特徴とする昇圧回路。

3 発明の詳細な説明

本発明は昇圧回路に関し、特に相補型絶縁ゲート型境界効果トランジスタを有する半導体装置を用いた昇圧回路に関する。

従来、相補型境界効果トランジスタ(以下C-MOSという)を用いた昇圧回路は第1図に示す回路を使用していた。

同図において入力クロック信号は ϕ_1 で、 ϕ_1 はこの入力信号の逆相信号、 ϕ_2 は ϕ_1 と同相で①点(出力端子)の電位と接地電位間を振幅する信号である。更に、C-MOSインバータ Q_1 、 Q_2 の出力④点とローチャンネルFBT Q_3 、 Q_4 で構成される切り換え回路の中点⑤の間にキャバ

シタ C_1 が接続されている。即ち、この回路は入力信号 ϕ_1 ($-V_D, 0$) を印加し④点の電位を $0V$ から $-V_D$ へ変化する時、キャパシタ C_1 からキャパシタ C_2 を使い⑤点の電位を $-2V_D$ に押し上げこれに同期してキャパシタ C_2 に電荷を充電し C_2 に蓄積された電荷を負荷に供給する昇圧回路を構成するものである。各接点④, ⑤, ⑥の電位波形は第2図に示すようになる。今第1図の回路で負荷電流を大きくとること、リップル率の悪化により第2図⑦に示すように出力電圧波形にひずみを生じる。従ってこの様な出力電圧変動を防ぐ為にはキャパシタ C_1 , C_2 として大容量のコンデンサを用いるか、あるいはクロックの周波数を高くしなければならない。しかしながらキャパシタ C_1 , C_2 の容量を増加すると $IGFET Q_{11}$ のスイッチング時間が長くなる。従って高い相互コンダクタンス g_m を有する $IGFET$ を作る必要があるが、大きな面積を必要とし実装化には向きである。またクロック周波数を高くする事は昇圧回路の消費電力の増加を意味しており、結論

- 3 -

第4図は本発明の基本構成を示し、第5図はその各接点の電圧波形図を示す。

クロック ϕ_1 , $\bar{\phi}_1$, ϕ_2 は第1図で説明したのと同様に ϕ_1 , $\bar{\phi}_1$ は ϕ_1 , $\bar{\phi}_1$ と夫々同位である。は ϕ_2 と同位間に振幅を逆相のクロックである。

第4図より明らかに本発明の基本的構成はnチャンネル、Pチャンネル $IGFET Q_{11}, Q_{12}$ を直列に接続したC-MOS回路のゲートにクロック ϕ_1 を印加し、 Q_{11}, Q_{12} の一端を夫々 $-V_D, 0V$ に接続する。更にクロック $\bar{\phi}_1, \phi_2$ が夫々のゲートに印加されるnチャンネル $IGFET Q_{13}, Q_{14}$ を直列に接続し、 $IGFET Q_{14}$ のソースを⑦点とし、 $IGFET Q_{13}$ のソースに $-V_D$ が供給される。又C-MOS回路の中点④点とnチャンネル $IGFET Q_{15}, Q_{16}$ の中点とはキャパシタ C_{11} を介して相互に接続される。一方、これとは対称に一端を $-V_D$ に接続されたnチャンネル $IGFET Q_{21}$ と、一端を $0V$ に接続されたPチャンネル $IGFET Q_{22}$ とを直

的に接続する。即ち、この回路は入力信号 ϕ_1 ($-V_D, 0$) を印加し④点の電位を $0V$ から $-V_D$ へ変化する時、キャパシタ C_1 からキャパシタ C_2 を使い⑤点の電位を $-2V_D$ に押し上げこれに同期してキャパシタ C_2 に電荷を充電し C_2 に蓄積された電荷を負荷に供給する昇圧回路を構成するものである。各接点④, ⑤, ⑥の電位波形は第2図に示すようになる。今第1図の回路で負荷電流を大きくとること、リップル率の悪化により第2図⑦に示すように出力電圧波形にひずみを生じる。従ってこの様な出力電圧変動を防ぐ為にはキャパシタ C_1 , C_2 として大容量のコンデンサを用いるか、あるいはクロックの周波数を高くしなければならない。しかしながらキャパシタ C_1 , C_2 の容量を増加すると $IGFET Q_{11}$ のドレイン、Pウェル、N型基板間に形成される寄生バイポーラトランジスタのベース電流として流れ始めるため逆方向の寄生NPNトランジスタ動作が起り⑦点よりN型基板に向ってコレクターエミッタ間を流れる電流 I_{CB} が生じ⑦点の電位を逆に下げる現象が起る。これにより⑦点の電位が不安定となり効率のよい昇圧回路が得られなかった。

本発明は上記欠点を除去し、小面積かつ小容量のコンデンサで高能率の昇圧回路を提供することを目的とする。

- 4 -

列に接続し、ゲートにクロック $\bar{\phi}_1$ を印加したC-MOS回路と、一端を $-V_D$ に接続されクロック $\bar{\phi}_1$ をゲートに供給されるnチャンネル $IGFET Q_{23}$ と、一端を⑦点に接続されゲートにクロック $\bar{\phi}_2$ が印加されるnチャンネル $IGFET Q_{24}$ とを中点⑦で直列に接続し、この⑦点とC-MOS回路の中点④点とをキャパシタ C_{11} によって接続した回路とを有する。この回路で昇圧された電圧は⑦点とキャパシタ C_{11} を介して接続される接地($0V$)間とから取り出される。

この様な構造の昇圧回路によれば、その各接点④~⑦の電位波形は第5図のようになる。同図から明らかのように、⑦点を境界として左右の回路動作は従来の動作と同じであるが、⑦点の電位波形は左右の昇圧回路が夫々半波昇圧回路として動作し昇圧された波形は夫々逆相の関係にあり、節点④又は⑦がそれぞれ $-2V_D$ になっている時だけ $IGFET Q_{15}, Q_{16}$ が交互に導通し出力⑦点に電位を供給する為、結果として⑦点の電位は常に $-2V_D$ となる。即ち、従来はnチャンネル

- 5 -

-320-

- 6 -

FET Q_4 が導通しキャパシタ C_1 に蓄積された電荷の一部をキャパシタ C_2 に移し、ロチャンネル FET Q_6 が非導通になった後の半周期はキャパシタ C_2 に残った電荷を放出することにより負荷に昇圧を供給していた。これに対し本発明では半周期ずつキャパシタ C_{11} と C_{12} から交互に直接放電を行なうもので、⑤点の電位は常に $-2V_D$ に保持され、キャパシタ C_{12} は FET Q_{14} と Q_{24} との導通状態が切り換わる時に生じる電位変動を极力小さくするようになってある。

従って本実施例では、従来の昇圧回路に較べ 2 倍の出力電流を得ることができる。又、本実施例によればリップル率の向上により寄生バイポーラトランジスタ動作が無くなる為に昇圧回路の効率が大巾に改善される。

更に第 6 図は本発明の他の実施例を示す回路図で、IGFET Q_{111} , Q_{112} , Q_{113} , Q_{114} , Q_{211} , Q_{212} , Q_{213} , Q_{214} が矢々 Q_{111} , Q_{112} , Q_{113} , Q_{114} , Q_{211} , Q_{212} , Q_{213} , Q_{214} に対応している。また FET Q_{105} , Q_{106} にて

- 7 -

そのベース電流で出力端①容量を充電する構成になっている為、出力端①が定常状態に達する迄の時間が長くなる。しかしながら上述したように、出力端①に P チャンネル FET Q_{105} で $-V_D$ と $(-V_{Tp})$ (V_{Tp} : P チャンネル FET のしきい値) の電位を予め与えておく事により、定常状態に達する迄の時間を短くできる。このように第 6 図によれば必要とされるクロックをインバータを用いて得ることができ、その際トランジスタの数を最小にでき、また回路構成を簡易化することもできるので、同図に示す回路の実用価値は極めて大きいものである。

更に、第 6 図において、FET Q_{105} , Q_{106} で構成される C-MOS インバータの論理しきい値は出力端①の電位の半分の電位、即ち $-V_D$ 付近となっているが、クロック④は基板電位 $0V$ と $-V_D$ との間を振幅する為このままでこのインバーターは動作しない。従って FET Q_4 に対し FET Q_{105} の相互コンダクタンス g_m を極めて大きくする事により基板電位側へ論理しき

特開昭 56- 62066 (3)

り構成される C-MOS インバータによりクロック④からクロック④'を作り、これを FET Q_{105} のゲートに接続する。ここで FET Q_{105} のソースは④点に接続され、これにより出力電位と基板電位の電位差を振幅とするクロックが得られるよう構成されている。更に FET Q_{105} のソースは FET Q_{124} のゲートにも接続され、クロック④'を作り出している。又、クロック④'を IG FET Q_{107} , Q_{108} により構成される C-MOS インバータに入力しこの出力をクロック④として FET Q_{114} のゲートに入力する。ここで P チャンネル IGFET Q_{107} のソースは出力端①に接続する。また得られたクロック④'はクロック④'と同相である為 IGFET Q_{107} のゲートに接続することによりクロック④'としても利用できる。さらにゲートとドレインを $-V_D$ 、ソースを出力端①に接続した P チャンネル FET Q_{106} が付加されている。即ち、直流昇圧回路の始動時に出力端①を FET Q_{114} 及び Q_{124} で形成される寄生 NPN トランジスタのコレクタを接続し、

- 8 -

い値を移動させて使用する方がよい。しかしながら製造上、P チャンネル FET のしきい値が高く、N チャンネル FET のしきい値が低くなる場合がある。この場合でも g_m 比を十分に大きく取れば問題はないが、この g_m 比は 1 : 100 程度は必要となり、バータの占める面積が大きくなり集積化に不向きとなる。

第 7 図はすべてされた他の実施例を示す回路図で、FET Q_{105} , Q_{106} により構成される C-MOS インバータの代りに FET $Q_{105} \sim Q_{114}$ で構成するレベルシフト回路を使用したものである。このレベルシフト回路は FET Q_{105} のソースを④点に、FET Q_{105} のソースを①点に、入力クロック④'を FET Q_{105} のゲートに、クロック④'は④点から取り出すことにより FET Q_{105} のゲートに加える。更に、FET Q_{105} , Q_{106} からなる C-MOS の N チャンネル FET Q_{106} のゲートに供給することにより最少のトランジスタで構成されている。

このレベルシフト回路を使用する事により C-

- 9 -

代理人 弁理士

内 岸 錠

MOSのFET Q_{110} のゲート電圧は $-2V_D$ まで得ることができ。製造上起るしきい値のバラツキによる上記影響を少なくする事が出来る。従つて g_m 比の大きいインバーターを使用した場合に比べて固有面積が少なくて済む為実用上優れて有利となる。

4 図面の簡単な説明

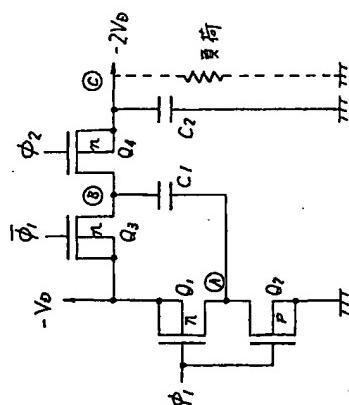
第1図は従来の昇圧回路の回路図で、第2図はその各接点の電圧波形図、第3図は第1図1で示される回路の一部分を示す構造図で、第4図は本発明の一実施例を示す昇圧回路の基本回路図で、第5図は第4図で示される回路の各接点の電圧波形図、更に第6図及び7図は本発明の更に他の実施例を示す回路図である。

$C_1 \sim C_{11}$ ……容量素子、 $\phi_1, \phi_2, \bar{\phi}_1, \bar{\phi}_2$ ……制御信号、 $Q_1 \sim Q_{11}$ ……IGFET、 A ~ E ……回路節点、 $-V_D$ ……負電源電圧、 I_{CS} ……寄生バイポラトランジスタのコレクターエミッタ間電流、 I_{CB} ……寄生バイポラトランジス

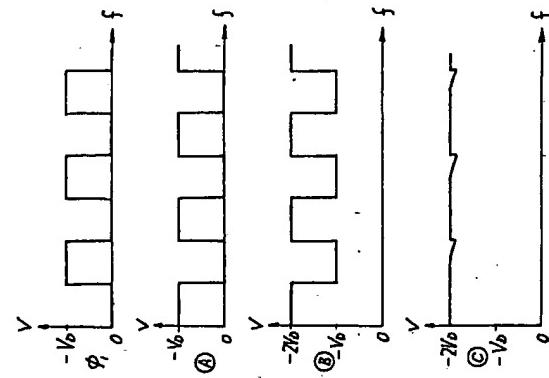
- 11 -

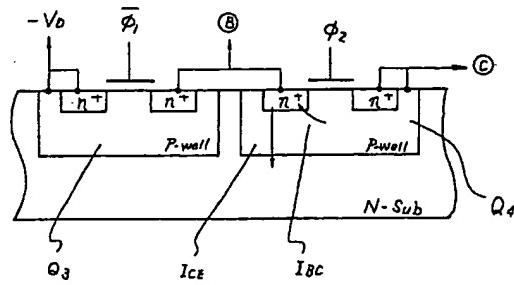
- 12 -

第1図

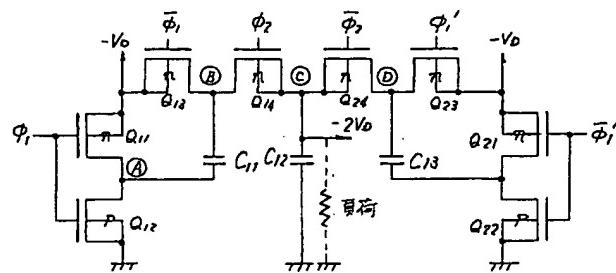


第2図

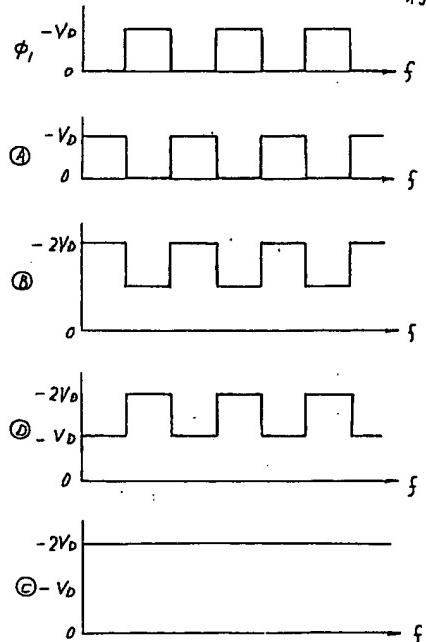




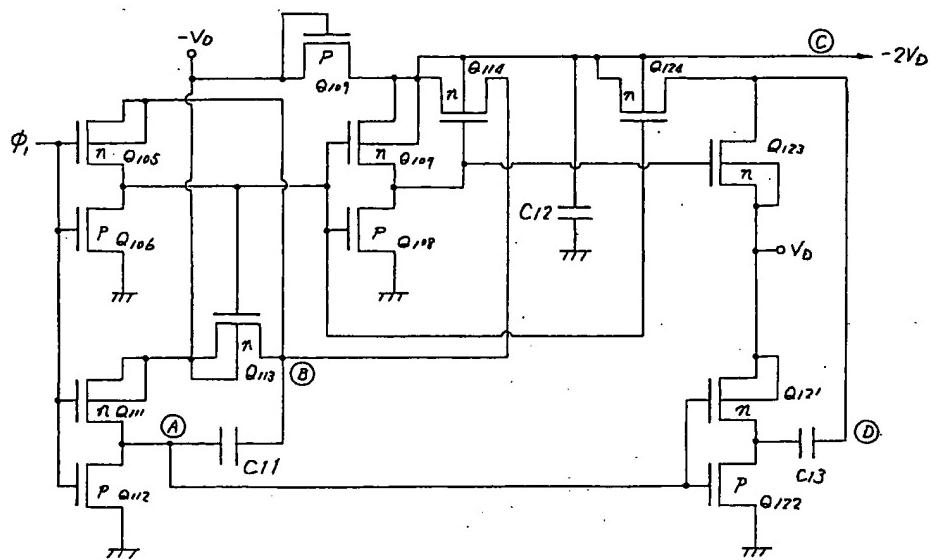
第 3 図



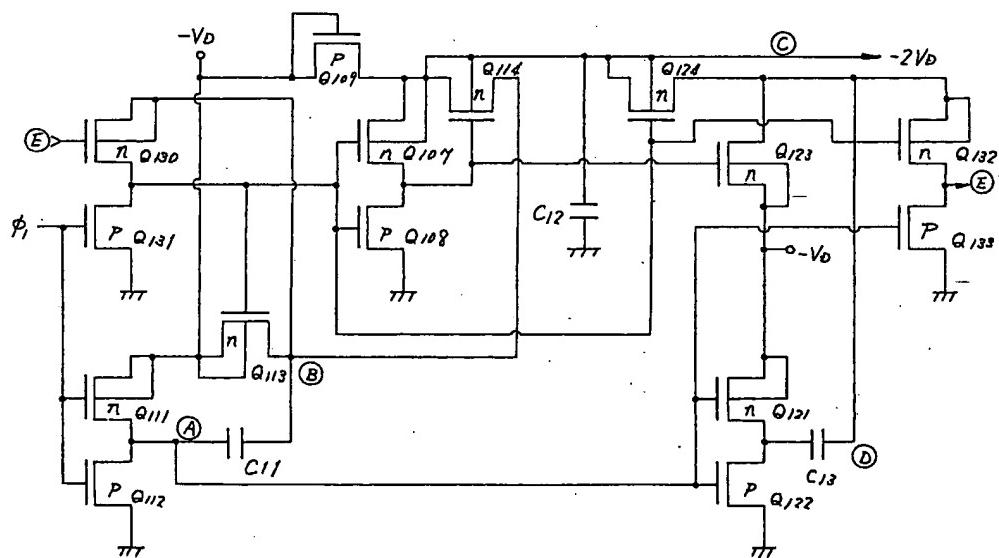
第 4 図



第 5 図



第 6 页



第. 7 回